

SEMICONDUCTOR DEVICE

Publication number: JP2002299462 (A)

Publication date: 2002-10-11

Inventor(s): YOSHIMURA MAKOTO; HASHIZUME KENICHI; IWAMOTO TAKASHI

Applicant(s): NOKIA MOBILE PHONES LTD

Classification:

- **international:** H01G4/33; H01L21/334; H01L21/822; H01L27/02; H01L27/04; H01G4/33; H01L21/02; H01L21/70; H01L27/02; H01L27/04; (IPC1-7): H01L21/822; H01G4/33; H01L27/04

- **European:** H01L21/334; H01L27/02B4

Application number: JP20010369182 20011203

Priority number(s): JP20010369182 20011203; JP20010019003 20010126

Also published as:

EP1227515 (A2)

EP1227515 (A3)

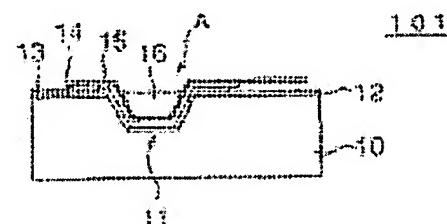
US2002109175 (A1)

US6784519 (B2)

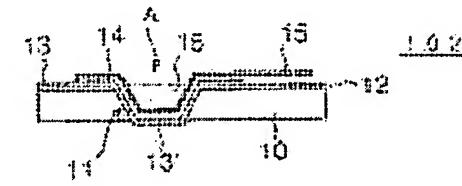
Abstract of JP 2002299462 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device which responds to a request of a high speed operation control, an increase in a storage capacity, stabilization of an IC circuit performance or the like in the device having a capacitor. **SOLUTION:** The semiconductor device comprises an embedded capacitor formed by being directly embedded in a semiconductor substrate. The device further comprises a cavity 11 opened on a substrate surface in a cubic shape and laid out and formed in a flat plate-like semiconductor substrate 10, a capacitor structure of the substrate embedded type provided in the cavity 11 as a capacitor part A, and a semiconductor base 101 including the capacitor part A.

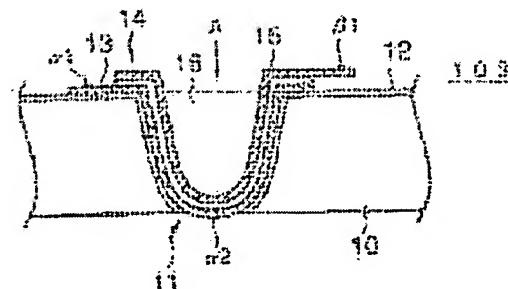
(a)



(b)



(c)



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-299462

(P2002-299462A)

(43)公開日 平成14年10月11日 (2002.10.11)

(51)Int.Cl.⁷
H 01 L 21/822
H 01 G 4/33
H 01 L 27/04

識別記号

F I
H 01 L 27/04
H 01 G 4/06

テ-マコ-ト(参考)
C 5 E 0 8 2
E 5 F 0 3 8
1 0 2

審査請求 未請求 請求項の数15 OL (全 8 頁)

(21)出願番号 特願2001-369182(P2001-369182)
(22)出願日 平成13年12月3日 (2001.12.3)
(31)優先権主張番号 特願2001-19003(P2001-19003)
(32)優先日 平成13年1月26日 (2001.1.26)
(33)優先権主張国 日本 (JP)

(71)出願人 591275137
ノキア モービル フォーンズ リミテッド
NOKIA MOBILE PHONES
L I M I T E D
フィンランド 02150 エスプー ケイラ
ラーデンティエ 4
(74)代理人 100086368
弁理士 萩原 誠

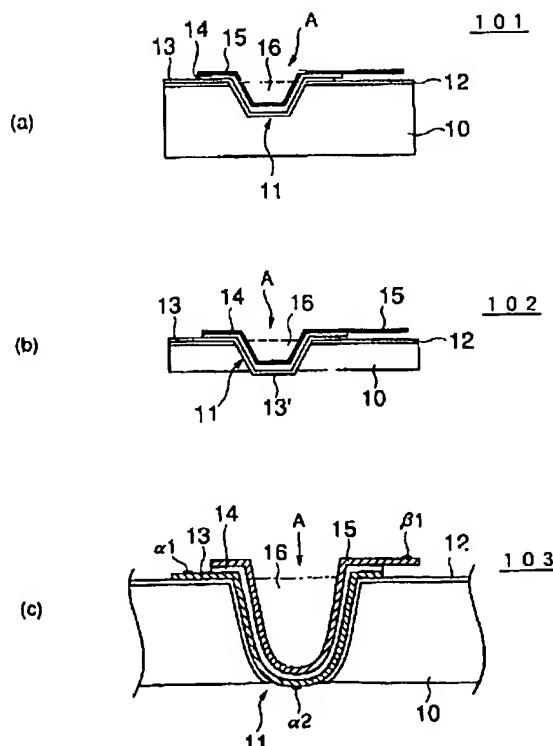
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 キャパシタを備える半導体装置において、高速動作制御・記憶容量増大化・IC回路性能安定化等の要求に応える半導体装置を提供する。

【解決手段】 半導体基板中に直かに埋設されて形成される埋込型キャパシタを備える半導体装置であって、平板状の半導体基板10内に、立体形状で基板面で開口するキャビティー11を配置形成し、このキャビティー11に基板埋設型のキャパシタ構造を具備させてキャパシタ部Aとし、このキャパシタ部Aを含む半導体基体101を具備する半導体装置とした。



【特許請求の範囲】

【請求項1】 平板状の半導体基板内に、立体形状のキャビティを配置形成し、前記キャビティに基板埋設型のキャパシタ構造を具備させてキャパシタ部とし、このキャパシタ部を含む半導体基体を具備して構成される、ことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記キャパシタ部は、前記半導体基板面で開口する表面側からその内部または裏面側に到って形成されたキャビティによるキャパシタ構造を具備して構成されることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の半導体装置において、前記キャビティはエッチングにより形成されて構成される、ことを特徴とする半導体装置。

【請求項4】 請求項1乃至3いずれか1項に記載の半導体装置において、前記半導体基板の表面およびキャビティ内面には、パッセーションにより絶縁物が形成されて構成される、ことを特徴とする半導体装置。

【請求項5】 請求項1乃至4いずれか1項に記載の半導体装置において、前記キャパシタ部は、前記基体表面側から裏面側にいたり前記基板内を貫通するスルー基板形キャビティによるキャパシタ構造を具備して構成される、ことを特徴とする半導体装置。

【請求項6】 請求項1乃至5いずれか1項に記載の半導体装置において、前記キャビティは、略円錐台形状で基体表面で開口する構造を具備して構成される、ことを特徴とする半導体装置。

【請求項7】 請求項1乃至6いずれか1項に記載の半導体装置において、前記キャビティの内部には、薄膜形成方法により、第1電極層・誘電層・第2電極層の積層構造を形成してキャパシタ構造が構成される、ことを特徴とする半導体装置。

【請求項8】 請求項7に記載の半導体装置において、前記誘電層は、トリミングを施されて構成される、ことを特徴とする半導体装置。

【請求項9】 請求項1乃至8いずれか1項に記載の半導体装置において、

前記キャビティがある半導体基板裏面側の基板面を取り除き、前記電極層を露出させるように形成して構成される、ことを特徴とする半導体装置。

【請求項10】 請求項1乃至9いずれか1項に記載の半導体装置において、

前記キャパシタ部は、電源、GNDまたは信号線と接続されるよう配置され構成される、ことを特徴とする半導体装置。

【請求項11】 請求項1乃至9いずれか1項に記載の半導体装置において、

前記キャパシタ部は、クロックラインと接続されるよう配置され構成される、ことを特徴とする半導体装置。

【請求項12】 請求項1乃至9いずれか1項に記載の半導体装置において、

前記キャパシタ部は、基板に連結する入出力パッドの直下または周辺に配置され構成される、ことを特徴とする半導体装置。

【請求項13】 請求項1乃至12いずれか1項に記載の半導体装置において、

前記半導体装置は、複数の前記半導体基体を積層状に重ねて配置する積層モジュール構造を具備し、前記半導体基体の間にはポール体を配置して構成される、ことを特徴とする半導体装置。

【請求項14】 請求項13に記載の半導体装置において、

前記ポール体は弾性を有し、前記半導体基体間におけるクッション構造を形成する、ことを特徴とする半導体装置。

【請求項15】 請求項13に記載の半導体装置において、

前記ポール体は導電性を有し、前記半導体基体のキャパシタ間における導電構造を形成する、ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータ等電子装置におけるD S P (デジタル信号処理専用マイクロプロセッサー)・C P U (中央演算処理装置)・記憶装置・メモリなどに採用されている半導体装置に係り、より詳細には、シリコン等の半導体基板に埋め込まれているキャパシタを備える半導体装置に関する。

【0002】

【従来の技術】近年技術の発展により、音楽の配信・アニメーション・純正カラーの動画等の関係する技術では新規コンテンツの移送を伴なっていて、それらに関する有用な電子デバイスの開発が進んできている。そして、この分野における移送／マルチメディアに関連するデバイスの技術革新が様々になされつつある。集積回路設計やデバイスの技術に関するものとしては、例えばD S P (Digital Signal Processor デジタル信号処理装置)、M P U (Micro Processor Unit超小型演算処理装置)、メモリ装置(ROM, RAM等)などが重要であり、これらの装置は今後ますますの高速度制御と高記憶容量確保と性能安定化等の性能を具備して設計されることが望まれている。

【0003】従来のI Cチップ等の半導体装置では、高速動作の機能を達成せんがために、チップキャパシタ(デカップリングキャパシタ)などの適当なコンポーネントを、インターポーラーに直接外付けして配置構成する

ことにより対応しようとしていた。また、半導体装置内部の構造に関しては、回路を形成するパターンニング材料を、従来のアルミではなく、新たに銅を用いる新規技術を試みられてもいた。しかしながら、これら従来の半導体装置では、要求されているデバイスの高速動作制御、高記憶容量確保、集積回路性能安定化等に十分に応えることのできるものではなかった。

【0004】ICチップ等の半導体装置においては、その表面周辺部に配置されたボンディングパッド(外部電極引出し用パッド)と、リードフレーム側のリード電極とをひとつずつ金線等のワイヤにより接続するワイヤボンディング方式を行っている。この他にも、細線(ワイヤ)を用いずに接合するワイヤレスボンディング方式があり、この中では、ハンダやバンプ等を用いるフリップチップ方式と、バンプテープ等を用いるTAB方式とがよく利用されている。図7は、従来の半導体装置の一例としてDRAM装置やDSP装置(60)を示した外観概略図である。矢印(→)62は信号線を示し、チップキャパシタ(デカッピングキャパシタ)63などと外付けで接続されている。また、装置60の周辺部より外部に向けて配置されているのはボンディング用のワイヤ61であり、ここでは多数個配列されていて外部と接続されている。

【0005】本発明は、上述した従来の半導体装置の問題点に鑑みなされたもので、従来の半導体装置の構造と製造方法とに大きな改良を施したものである。本発明は、これら半導体デバイスのキーポイントとなる技術であって、シリコンやガリウムヒ素等の材料からなる半導体基板(ウエハー)中に直かに埋設されて形成される埋込型キャパシタを備える半導体装置にかかり、さらに本発明は、とりわけ有用なインターフェクション技術を含んでいて、半導体基体またはベアダイ(露出チップ体)に多重の層からなる積層状モジュール(構成要素)が形成される半導体装置にも関するものであって、シリコンやGaAs等の材料からなる半導体装置の高精密積層構造や組立製造工程に高度の適合ができ、今後のデバイスの高速動作制御・高記憶容量確保・集積回路性能安定化等の要求に十分応えることのできる半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上述の課題を解決するために、本発明による半導体装置は次のような手段を用いる。なお、付した符号は図面のそれに一致している。

(1) 平板状の半導体基板10内に、立体形状のキャビティ11を配置形成し、このキャビティ11に直かに埋設されて形成される基板埋設型のキャパシタ構造を備させてキャパシタ部Aとし、このキャパシタ部Aを含む半導体基体(101～103)を具備して構成される半導体装置とした。

(2) (1)の半導体装置において、キャパシタ部Aは、

基板10面(デバイス表面)上で開口(開放)する側からその内部または裏面側に到って形成されたキャビティ11によるキャパシタ構造を具備して構成される。

(3) (1)または(2)の半導体装置において、キャビティ11はプラズマ等のエッティングにより形成され構成される。

【0007】(4)(1)～(3)の半導体装置において、半導体基板10表面(デバイス表面)およびキャビティ11の内面には、バッシベーションによりシリコン酸化膜等の絶縁物層12が形成され構成される。

(5)(1)～(4)の半導体装置において、キャパシタ部Aは、基体10表面側(デバイス表面)から裏面側にいたり基板内10を貫通するスルーベース板形キャビティによるキャパシタ構造を具備して構成される。

【0008】(6)(1)～(5)の半導体装置において、キャビティ11は略円錐台形状で基体表面(デバイス表面)で開口する構造を具備して構成される。

(7)(1)～(6)の半導体装置において、キャビティ部Aの内面には、CVD、スパッタリング、電気的デポジション、スピンドルコートまたはペイント等による薄膜形成方法により第1電極層13・誘電層14・第2電極層15の積層構造を形成してキャパシタ構造が構成される。また、キャビティ11の誘電層14の上位層の凹部には、例えばポリイミド等またはメタル等の封止材料16を充填させて構成されるとよい。

【0009】(8)(7)の半導体装置において、表側の層にある誘電体膜(誘電層)にトリミングを施して形成される。このトリミングとは、レーザー等の手段を用いて誘電体膜(誘電層)の大きさや容量を調整することであり、これによりキャパシタンスの適正值のコントロールも可能になる。

(9)(1)～(8)の半導体装置において、半導体基板10のキャビティ11がある基板10裏面側の基板面をエッティング手段等によって取り除き、電極層13'を露出させるように形成して構成される。

【0010】(10)(1)～(9)の半導体装置において、キャパシタ部Aは、電源、GND、信号線と接続されるよう配置され構成される。

(11)(1)～(9)の半導体装置において、キャパシタ部Aはクロックラインと接続されるよう配置され構成される。

(12)(1)～(9)の半導体装置において、キャパシタ部Aは、基板に連結する入出力パッドの直下または周辺に配置され構成される。

【0011】(13)(1)～(12)の半導体装置において、これら半導体装置は複数の半導体基体(110,111)を積層状に重ねて配置する積層モジュール構造を具備し、半導体基体(110,111)の間にはポール体(120,121)を配置して構成される。

(14)(13)の半導体装置において、ポール体(120,1

21)は弾性を有し、前記半導体基体(110,111)間におけるクッション構造を形成する。

(15)(13)の半導体装置において、前記ポール体(120,121)は導電性を有し、前記半導体基体のキャパシタ間における導電構造を形成する。

【0012】

【発明の実施の形態】以下、添付図面を参照して本発明による半導体装置の実施の形態を詳細に説明する。図1は本発明による半導体装置を構成する半導体基体(101,102,103)の断面による構成図である。ここで図1(a)では、キャビティー11が基板10の表面に形成されており、そのキャビティー11の底部は基板10の内部に存在している構造である。また図1(b)は、基板10の裏面(底面)側からエッチング等の手段を施すことにより、基板材料が取り除かれて薄厚化され、キャビティー11の裏面(底部)から第1電極層(第1金属層)を露出させた構造を示している。さらに図1(c)は、キャビティーは断面略U字形で、第1電極層(第1金属層)には電極(α1とα2)を、第2電極層(第2金属層)には電極(β1)を、配設したキャパシタ構造を示す。

【0013】半導体基板10内に形成されるキャビティー11は立体形状をなしている。立体形状の一例としては図に示すような円錐台形状が挙げられるが、必ずしもこの形状である必要はない。具体的には、逆円錐台形、筒形、皿形、鍋形、井(どんぶり)形、壺形、すり鉢形などの種々の立体形状を想定することができる。また、これら立体形状の横の断面形状としては、円形、楕円形、多角形、任意非対称形などの様々なものを用いればよい。

【0014】図1のキャビティー11は、基板10(デバイス表面)で開口または開放している構造であり、キャビティー形状の拡大径側が基板10表面上で開口し、基板内部の縮小径側で凹形立体形状を形成し、図1のキャビティー全体形状としては略円錐台形状(逆すり鉢形状)として示されている。もちろん立体形状としてはこれに限られるものではなく、基板10表面上の開口部は基板内部の立体形状の横径より縮小した径を持つ開口部として形成することもできる。すなわち、例をあげれば、すり鉢形立体形状でも逆すり鉢形立体形状でもよく、また、三角フラスコ立体形状でも逆三角フラスコ立体形状でも形成することが可能である。そして、従来のDRAM装置等に用いられているメモリーのキャビティー構造としては、ストレートで形状変化のない筒形や角材形状のトレンチ形キャビティー構造など知られているものがあるが、これらを採用することもできる。

【0015】キャビティー11はその内面の凹部に、基板10に埋設するキャパシタ構造を具備してキャパシタ部Aを形成している。まず、半導体基板10の表面には、キャビティー11がプラズマエッチング等により形成される。次に、半導体基板10の表面およびキャビテ

ィー11の内面には、バッシベーションにより二酸化シリコン酸化膜(SiO₂)12が形成される。そして、キャビティー11には、CVD、スパッタリング、電気的デポジション、スピンドルコートまたはペイント等による薄膜形成方法により、第1電極層13(Ti/W層等)を形成し、次にポリイミド(PI)などの誘電材料により誘電層14を積層して形成し、さらにまた第2電極層15を積層して形成し、多重の積層構造を形成してキャパシタ部Aが構成される。

【0016】また、このとき第1電極層13から第2電極層15を形成する工程を繰り返すことにより積層構造を有するキャパシタ部を形成しても良いし、第1電極層13を形成する前のキャビティー基板面または形成された第1電極層自体をサンドブラストやエッチングなどの方法で粗面化してキャパシタ形成面を拡面した後誘電層14および第2電極層15を形成するなどの方法により、キャビティー内に形成されるキャパシタの容量拡大手段を講じることも出来る。それから、キャビティー11の誘電層14の上位側に生じる凹部には、例えばポリイミド等またはメタル等の封止材料16を充填させて構成されるとよい。このとき、第2電極層15と接する面においては、封止材料16は電気的に絶縁する材料を用いるが、絶縁膜または絶縁層を介在させて形成してもよい。

【0017】図1(c)は、本発明による半導体装置の他の例(半導体基板103)を示す。ここでのキャビティー11は断面U字形または壺形に類似する形状であり、底面は丸みを帯びて角のない形状となっている。この図でも(a)(b)と同様に、第1電極層13(Ti/W層等)・誘電層14(ポリイミド等)・第2電極層15からなる多重の積層構造を備えて形成されたキャパシタ部Aが構成されていて、ここではさらに、第1電極層13は表面側に電極α1を、また裏側に電極α2を有しているし、第2電極層15は表面側に電極β1を有している。このような構造によれば、α1とβ1とから電極を取るか、またはα2とβ1とから電極を取ることにより、本発明のキャパシタ機能を働かせることができる。

【0018】なお、一般的な平行平板形のキャパシタでは、その容量をC、電極面積をS、誘電体の厚さ(電極間隔)をd、誘電体の誘電率をεとすれば、 $C = \epsilon S / D$ の関係で表すことができる。よってこの式から明らかに、本発明においても、キャパシタの容量Cを大きくとりたいとすれば、電極(本発明での第1電極層13と第2電極層15)の面積Sを大きくし、誘電体(本発明での誘電層14)の厚さdはできるだけ薄くし、しかも誘電率εの高い材料を用いることが肝要になっている。

【0019】図2は、本発明による半導体装置にかかり、キャビティー11に第1電極層13(Ti/W層等)を形成したときの構造の断面図及び上面図を示す。基板

10にはキャビティー11が形成され、基板10の表面およびキャビティー11内面は、パッシベーション手段によりシリコン酸化膜(SiO₂)等の絶縁膜層が形成されている。第1電極層13は、キャビティー11内面とその基板表面周辺を連続して被うように形成される。図2に示される第1電極層13は、上面から見ると長方形または正方形で示されているが、その各辺xとyとはキャビティー11の大きさや形状等を勘案して適宜設計されればよいものであり、ここで第1電極層13の形状としても、図2の長方形または正方形に限られるものではなく、円や橢円などのいかなる形状でも可能である。また、ここでキャビティー11の穴深さは、基板11の背面から金属層13'(第1電極層13)を露出させている関係で、図2に見られるように基板10の厚さnとほぼ等しくなりうる。この金属層13'では、ハンダやバンプ等をここに設定してインターポーラ等と接合するなどにより、外部との接続が容易に可能となる。

【0020】図3は本発明による半導体装置の一例である半導体チップの上面図である。チップ基体20に連接してシリコン基板10'が配置され、その周囲にはパッド部(21 22等)が配設されている。ここで半導体チップの設計にあたっては、一例を挙げれば、適當な大きさのシリコン基板において、シリコン基板10の厚さは約200μm、キャビティーの数は10~12pcs/line×4=48 pcs[max.]、キャビティーの配置は自由に設定できる、などのように設計することができる。

【0021】図3において外部接続用のパッド部(21 22等)は、シリコン基板10'の周辺に多数個が配置されている。これらのパッド部(21 22等)は、本発明により形成されたキャパシタ構造を備えたキャパシタとして形成することができる。本発明の半導体装置によれば、図1(C)で示したように、キャパシタ電極は、基板の表面側から2つの電極(α1とβ1など)をとることができれば、基板の表面側と裏面側とからひとつずつ(α2とβ2など)電極をとることもできる構造となっている。これらを適宜組み合わせて配置して構成することにより、ICチップ表面周辺部における電極(ボンディングパッド)とリードフレームとの接続が極めて合理的になされ、設計効率化・製品コンパクト化等の面での寄与が大きく、市場ニーズにあった商品を製造実施することができる。

【0022】図4は本発明による半導体装置の製造にかかるもので、キャビティーとキャパシタ積層構造によるキャパシタ部を形成する手順を示す工程図の例である。(a) 半導体基板(ウエハー)10はシリコンやガリウムヒ素等の材料からなり、基板表面から開口するようにして立体形状のキャビティー11が形成される。キャビティーの形成手段としてはプラズマエッティング等の手段を適宜選択して用いるとよい。キャビティーは、半導体装置の設計に基づいて、その形状・大きさ・穴深さ・個数

・間隔・配設位置などが設定されて配設形成される。(b) 基板10の表面とキャビティー11の開口する内面には、パッシベーション手段等によりシリコン酸化膜(SiO₂層等)12が形成される。

【0023】(c) Ti/W等の被着により第1電極層(第1金属層)13を形成する。

(d) ポリイミド(PI)などの誘電材料による誘電層14を、第1電極層13に積層させて形成する。

(e) 第1電極層(第1金属層)13・誘電層14に重ねて、第2電極層(第2金属層)15を形成する。なお、

(d)または(e)の工程においては、基板10表面上にある第1電極層(第1金属層)13から電極がとれるように、第1電極層13の一部または多くを基板表面に露出させるようにして形成してもよい。また、(c)(d)(e)の工程での薄膜形成にあたっては、CVD、スパッタリング、電気的デポジション、スピンドルコート、ペイント等による薄膜形成手段を適宜採用して適用することができる。

【0024】(f) この工程例においては、半導体基板10のキャビティー11の基板10表面と反対側の面(裏面または下面)をエッチング等の手段によって薄厚化して、その一部または全部を取り除いて電極層13'を露出させるようにしてキャパシタ部Aが形成される。こうして、キャビティー11の底面(下面)に第1電極層(第1金属層)13が露出されてくるので、ここをキャパシタ電極として使用することができる。

【0025】図5は、本発明による半導体装置におけるキャパシタ積層構造を有するキャパシタ部Aの様々な配設を示す配置構造図である。この図における●は本発明によるキャパシタ構造を適用したキャパシタ部を含んだI/Oパッド(A)であり、○は本発明のキャパシタ部を含まない従来のI/Oパッド(C)を示す。本発明によるI/Oパッド●(A)と、従来のI/Oパッド○(C)とは、これらを適宜自由に組み合わせて半導体基板上に配設させて設定適用することにより種々の半導体装置を構成することができる。なお、半導体基板としては、シリコンのみならずGaAs等の他の材料基板を採用することも、もちろん可能である。

【0026】図5(a)は、本発明によるキャパシタ部Aを、半導体基板10''の周辺部に複数個数配設した一例を示す。このようなキャパシタ構造をインターポーラ等に接続するパッド部として設定することができる。そして、従来のキャパシタ部Cも適宜に組み合わせて半導体基板上に配置させるとよい。このようにして、半導体基板上のI/Oパッド直下またはその周辺に本発明のキャパシタ構造を配置することとすれば、信号ライン上の信号品質の向上を図ることができる。

【0027】また、図5(b)は、本発明によるキャパシタ部Aを、電源、GND、信号線と接続されるのに適する配設にするための一例を示している。そして、本発明

によるキャパシタ部Aをシリコン基板の電源-GNDラインへのデカップリング・キャパシタとして配置することとすれば、極めて高速な動作を保証できる半導体装置とすることができます。

【0028】さらに、図5(c)は、本発明によるキャパシタAを、クロックラインと接続させるのに適する配置にするための一例を示している。そして、シリコン基板10'内にクロックラインへ異なる値のキャパシタとして配置することとすれば、エネルギー・マネージメントへ寄与することが極めて大きい。

【0029】ところで、本発明は、半導体装置のキーとなる基体同士のインターフェクションに係わるものを持んでいて、基体または露出形チップ体(ペアダイ)に多重層からなる積層状モジュール(構成要素)を形成する技術を提供している。そして、この技術によれば、シリコンやGaAs等の半導体材料による半導体装置の高精密積層構造や製造組立工程に、きわめて良好に適合させることができる。図6は、本発明による半導体装置にかかり、複数の半導体基体(110, 111)をボンド体(120, 121)によりインターフェクション構造として構成するときの一例を示す断面による構造説明図である。

【0030】図6による半導体装置は、複数の半導体基体(110, 111)を積層状に重ねて配置する3D積層パッケージとしてのモジュール構造を具備することができ、このとき、半導体基体(110, 111)のキャパシタ型スルーホールの間(A1-A3, A2-A4)には、ボール体(120, 121)を配置して構成されるとよい。また、ここでのボール体(120, 121)は、弾性を有する材料を用いることにより、前記半導体基体(110, 111)間におけるクッション構造を形成するよう構成してもよい。さらに、前記ボール体(120, 121)は導電性を有し、前記半導体基体のキャパシタ部のスルーホール(A1-A3, A2-A4)間における導電構造を形成することができる。こうして、弾性ソルダーボール体によりキャパシタ型スルーホール半導体基体を結びつけて、良好なコンピネーション構造をなすことが可能である。

【0031】このように、モジュール(構成要素)の中に直接的に介在または挿入される弾性ボールを用い、インターフェクション(内部接続構造)を形成する本発明の技術は、今後の半導体チップの高精密積層や組立製造工程にとては大変有用となる技術である。従来の半導体装置では、ウエハや基体上には防護用フィルム体を有していて、それぞれのウエハや基体間に有る狭間隔ギャップは、適正な圧力に制御されていることが必要であったし、また、薄膜状ウエハや基体では、高精度の表面平面性を備え、正確なモジュールとすることが要求されていて、これが技術的には困難であった。ところが本発明によれば、それらのナローギャップを制御する技術が必要なくなるので、今後の高精密積層や組立製造工程に改善を施すには、ボール体の弾性支持構造は大変有効な技術

となる。

【0032】

【発明の効果】上述してきたように、本発明の半導体装置は顯著な特徴を有し、次のような優れた効果を発揮する。

(1) 本発明の半導体装置では、キャパシタ部Aをシリコン基板中に埋設して形成する構成により、回路上に含まれるインダクター(L分)を最小限に押さえて、高速動作を可能になる。なお、基板としてはシリコン基板材料のみならず、GaAs等の他の材料を採用することも可能である。

【0033】(2) 本発明の半導体装置の構造と製造プロセスによれば、従来装置におけるトレンチ構造によるキャパシタンス(数fF)と比べて、本発明の半導体装置ではひとつのキャビティーあたりにつき数十pFから数nFまでの大きな値を得ることが可能になる。

【0034】(3) 本発明の半導体装置の構造と製造プロセスによれば、キャパシタンスの公差を従来のチップキャパシタンスに比べて、数%の誤差で管理することができる。

【0035】(4) 本発明の半導体装置では、シリコン基板上の各I/Oパッドの真上や真下またはすぐ周辺に本発明のキャパシタ構造を適用するなど様々な構造的改良をができるので、キャパシタの設計と製作が極めて合理的で効率的になされ、製品コンパクト化やチップサイズパッケージ化、高性能化等の面での寄与が大きく、市場ニーズに適合する商品を製造し実施することができる。

【0036】(5) 本発明の半導体装置では、表側の層にある誘電体膜(誘電層)をトリミングすることにより、キャパシタンスの適正值のコントロールも可能になる。このトリミングは、レーザー等の手段を用いて誘電体膜(誘電層)の大きさや容量を調整することである。

【0037】(6) 本発明の半導体装置では、必要に応じてシリコンやGaAs等の基板内に形成されたキャパシタの電極を直下の信号線(電源、GNDまたは信号線)に接続することも可能となる。

【0038】(7) 本発明の半導体装置での半導体基体間に弾性ボール体を適用することで、薄膜状ウエハや基体のチッピング問題を改良することができ、ボール体の弾性能力によって機械的な応力を吸収することができ、そして、それぞれのウエハやペアダイ(露出チップ体)間に有る狭間隔ギャップや自己整合性の調整は、ボール体の弾性的性能やそれらの動作によって、容易に調整されうるので、高性能の半導体装置を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の半導体基体(101, 102, 103)の断面による構成図である。(a)は、キャビティー-11の底部が基板10の内部にあって貫通していない

キャパシタ構造を、(b)は、キャビティー11の底部側にある第1電極層(第1金属層)を露出させたキャパシタ構造を、(c)は、キャビティーは断面略U字形で、第1電極層(第1金属層)には電極(α 1と α 2)を、また第2電極層(第2金属層)には電極(β 1)を配設したキャパシタ構造を、それぞれ示す。

【図2】本発明による半導体装置の一例であり、キャビティー11に第1電極層13(Ti/W層等)を形成したとき構造を示す断面図及び上面図である。

【図3】本発明による半導体装置の一例である半導体チップであり、周囲に接続用パッド(I/Oパッド)を複数配置した構成を示す上面図である。

【図4】本発明による半導体装置の半導体基体の製造フローの一例であり、キャビティーと積層構造のキャパシタ部を形成する手順を示す工程図である。

【図5】本発明による半導体装置にかかり、キャパシタ積層構造を有するキャパシタ部の様々な配置を示す配置構造図であり、(a)はキャパシタ部Aを半導体基板10の周辺部に複数個数配設した一例を、(b)は電源・GN D・信号線と接続される配置の一例を、(c)はクロックラインと接続させる配置の一例を、それぞれ示している。

【図6】本発明による半導体装置にかかり、複数の半導

体基体(110, 111)をボンド体(120, 121)によりインテーコネクション構造を形成するときの断面による構造説明図である。

【図7】従来の半導体装置の一例であり、DRAMやDSP装置(60)を示す外観概略図である。

【符号の説明】

A, A1, A2, A3, A4 本発明によるキャパシタ部(●)

C 従来タイプのキャパシタ部(○)
101, 102, 103, 110, 111 半導体基体

10, 10', 10'' 半導体基板(ウエハ)

11 キャビティー

12 パシベーション層

13 第1電極層(第1金属層)

14 誘電層

15 第2電極層(第2金属層)

16 封止材料(充填材料)

20 ICチップ基体

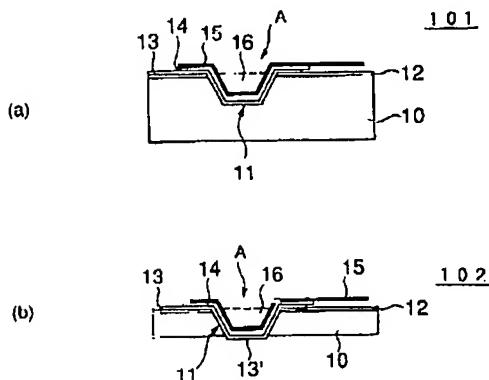
21, 22 パッド部(I/Oパッド)

α 1, α 2 第1電極層(第1金属層)上の電極

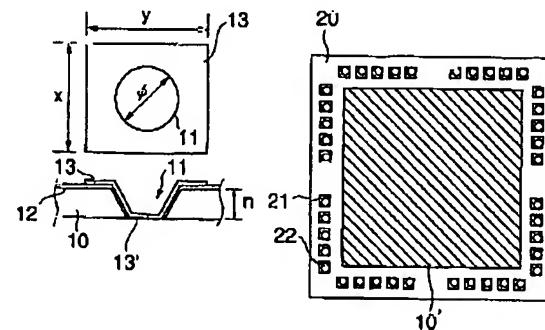
β 1 第2電極層(第2金属層)上の電極

120, 121 ボール体

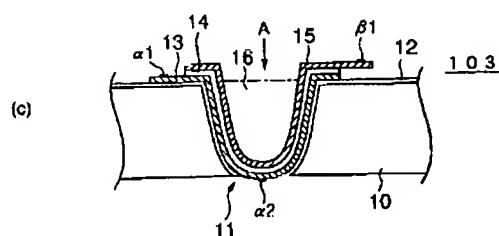
【図1】



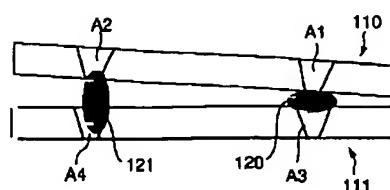
【図2】



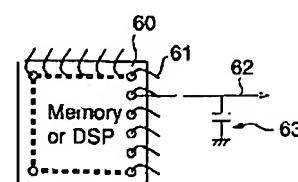
【図3】



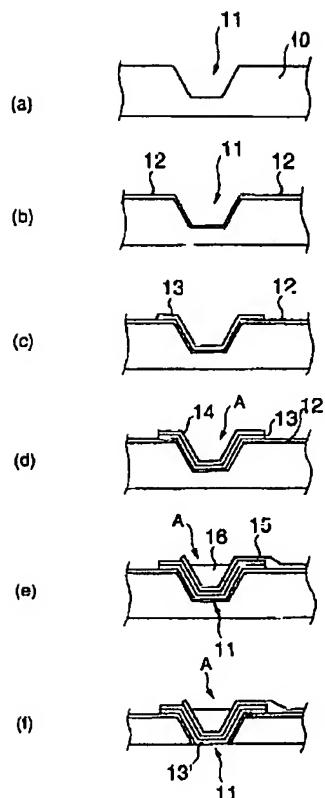
【図6】



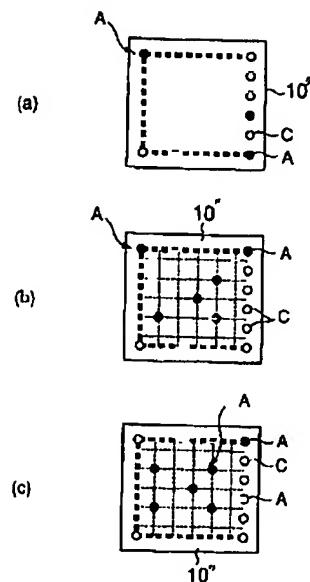
【図7】



【図4】



【図5】



フロントページの続き

(72)発明者 吉村 誠

東京都千代田区永田町2-13-5 赤坂エ
イトワンビル6階 ノキア・ジャパン株式
会社内

(72)発明者 橋詰 賢一

東京都千代田区永田町2-13-5 赤坂エ
イトワンビル6階 ノキア・ジャパン株式
会社内

(72)発明者 岩本 隆

東京都千代田区永田町2-13-5 赤坂エ
イトワンビル6階 ノキア・ジャパン株式
会社内

Fターム(参考) 5E082 AB03 BC14 EE05 EE37 FG03

FG38 FG42 KK01

5F038 AC05 AC10 EZ20